

(12) NACH DEM VERTRAG ÜBER DIE INTERNATIONALE ZUSAMMENARBEIT AUF DEM GEBIET DES
PATENTWESENS (PCT) VERÖFFENTLICHTE INTERNATIONALE ANMELDUNG

(19) Weltorganisation für geistiges Eigentum
Internationales Büro



(43) Internationales Veröffentlichungsdatum
25. März 2004 (25.03.2004)

PCT

(10) Internationale Veröffentlichungsnummer
WO 2004/025520 A2

(51) Internationale Patentklassifikation⁷: **G06F 17/50**

(21) Internationales Aktenzeichen: PCT/EP2003/009179

(22) Internationales Anmeldedatum:
19. August 2003 (19.08.2003)

(25) Einreichungssprache: Deutsch

(26) Veröffentlichungssprache: Deutsch

(30) Angaben zur Priorität:
102 39 782.1 29. August 2002 (29.08.2002) DE

(71) Anmelder (für alle Bestimmungsstaaten mit Ausnahme von
US): INFINEON TECHNOLOGIES AG [DE/DE]; St.-
Martin-Strasse 53, 81669 München (DE).

(72) Erfinder; und

(75) Erfinder/Anmelder (nur für US): HÖRETH, Stefan
[DE/DE]; Feldkirchener Str. 10, 85625 Glonn (DE).

MÜLLER-BRAHMS, Martin [DE/DE]; Forst-Kas-
ten-Allee 125, 81475 München (DE). RUDLOF, Thomas
[DE/US]; 47 Pine Street, Belmont, MA 02478 (US).

(74) Anwalt: BANZER, Hans-Jörg; Kraus & Weisert,
Thomas-Wimmer-Ring 15, 80539 München (DE).

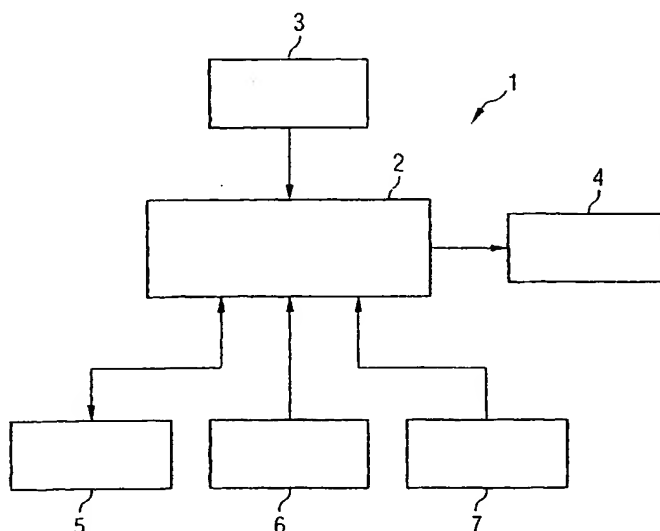
(81) Bestimmungsstaaten (national): AE, AG, AL, AM, AT,
AU, AZ, BA, BB, BG, BR, BY, BZ, CA, CH, CN, CO, CR,
CU, CZ, DE, DK, DM, DZ, EC, EE, ES, FI, GB, GD, GE,
GH, GM, HR, HU, ID, IL, IN, IS, JP, KE, KG, KP, KR,
KZ, LC, LK, LR, LS, LT, LU, LV, MA, MD, MG, MK,
MN, MW, MX, MZ, NI, NO, NZ, OM, PG, PH, PL, PT,
RO, RU, SC, SD, SE, SG, SK, SL, SY, TJ, TM, TN, TR,
TT, TZ, UA, UG, US, UZ, VC, VN, YU, ZA, ZM, ZW.

(84) Bestimmungsstaaten (regional): ARIPO-Patent (GH,
GM, KE, LS, MW, MZ, SD, SL, SZ, TZ, UG, ZM, ZW),
eurasisches Patent (AM, AZ, BY, KG, KZ, MD, RU, TJ,
TM), europäisches Patent (AT, BE, BG, CH, CY, CZ, DE,

[Fortsetzung auf der nächsten Seite]

(54) Title: METHOD AND DEVICE FOR VERIFYING DIGITAL CIRCUITS

(54) Bezeichnung: VERFAHREN UND VORRICHTUNG ZUR VERIFIKATION VON DIGITALEN SCHALTUNGEN



(57) Abstract: The aim of the invention is to verify digital circuits that have, in particular, multiplying structures. To this end, an equivalency test between the digital circuit (6) and a reference description (5) of this digital circuit is performed in such a manner that, firstly, the realized implementation alternative of a number of predetermined different implementation alternatives (7) is determined for the multiplying structures implemented in the digital circuit (6) and is used in the reference description (5) instead of the respective multiplication function in order to subsequently carry out the equivalency test with the consequently modified reference description. This enables a considerable increase in the structural match between the reference description and the digital circuit to be verified thus resulting in an overall acceleration of the verification method.

[Fortsetzung auf der nächsten Seite]

WO 2004/025520 A2



DK, EE, ES, FI, FR, GB, GR, HU, IE, IT, LU, MC, NL, PT, RO, SE, SI, SK, TR), OAPI-Patent (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, ML, MR, NE, SN, TD, TG).

Zur Erklärung der Zweibuchstaben-Codes und der anderen Abkürzungen wird auf die Erklärungen ("Guidance Notes on Codes and Abbreviations") am Anfang jeder regulären Ausgabe der PCT-Gazette verwiesen.

Veröffentlicht:

- *ohne internationalen Recherchenbericht und erneut zu veröffentlichen nach Erhalt des Berichts*

(57) **Zusammenfassung:** Zur Verifikation von digitalen Schaltungen, welche insbesondere Multipliziererstrukturen aufweisen können, wird eine Äquivalenzprüfung zwischen der digitalen Schaltung (6) und einer Referenzbeschreibung (5) dieser digitalen Schaltung derart vorgeschlagen, dass zunächst für die in der digitalen Schaltung (6) implementierten Multipliziererstrukturen jeweils die realisierte Implementierungsalternative von mehreren vorgegebenen unterschiedlichen Implementierungsalternativen (7) ermittelt und in die Referenzbeschreibung (5) anstelle der jeweiligen Multiplikationsfunktion eingesetzt wird, um anschließend mit der somit geänderten Referenzbeschreibung die Äquivalenzprüfung durchzuführen. Auf diese Weise kann die strukturelle Übereinstimmung zwischen der Referenzbeschreibung und der zu verifizierenden digitalen Schaltung deutlich erhöht werden, was das Verifikationsverfahren insgesamt beschleunigt.

Beschreibung

Verfahren und Vorrichtung zur Verifikation von digitalen
5 Schaltungen

Die vorliegende Erfindung betrifft ein Verfahren sowie eine
entsprechend ausgestaltete Vorrichtung und ein entsprechend
ausgestaltetes Computerprogramm-Produkt zur Verifikation von
10 digitalen Schaltungen, insbesondere von digitalen Schaltungen
mit Multipliziererstrukturen.

Multipliziererstrukturen oder Multiplikationsfunktionen wer-
den bekanntermaßen weitläufig in digitalen Schaltungen, wie
15 z.B. für Prozessoren, digitale Signalprozessoren (DSP) oder
Graphikchipsets etc., verwendet. Ein Fehler in einem Chip mit
einer Multiplikationsfunktion kann - wie auch Fehler in ande-
ren Schaltungsstrukturen - einen Ausfall des gesamten Chips
zur Folge haben.

20

Daher kommt der Verifikation von digitalen Schaltungen, nach-
dem diese beispielsweise computergestützt mit Hilfe eines
Synthesetools entwickelt worden sind, größte Bedeutung zu. In
letzter Zeit hat diesbezüglich die so genannte Äquivalenzprü-
25 fung immer mehr an Bedeutung gewonnen. Dabei wird überprüft,
inwieweit die in der digitalen Schaltung implementierten
Funktionen mit den durch eine Referenzbeschreibung, z.B. ei-
ner RTL- („Register Transfer Level“), VHDL- („Very High Speed
IC HW Description Language“) oder Verilog-Beschreibung, be-
30 schriebenen Schaltungsstrukturen bzgl. ihrer Funktionsweise
äquivalent sind oder nicht. Moderne Äquivalenzprüfer können
digitale Schaltungen mit mehreren Millionen Gattern verarbei-
ten. Dabei liefern die Äquivalenzprüfer insbesondere dann
sehr gute Ergebnisse, wenn die miteinander zu vergleichenden
35 Schaltungsentwürfe, d.h. die zu verifizierende digitale

Schaltung und die ihr zugrunde liegende Referenzschaltungsbeschreibung, ein hohes Maß an struktureller Ähnlichkeit aufweisen. Dagegen liefert eine Äquivalenzprüfung keine zufrieden stellenden Ergebnisse, falls sich die zu verifizierende digitale Schaltung und die zugrunde liegende Referenzbeschreibung strukturell mehr oder weniger deutlich unterscheiden und somit nur wenige interne Äquivalenzen aufweisen.

Dabei gilt die formale Verifikation von Multipliziererstrukturen bzw. Multiplikationsfunktionen als eines der schwierigsten Probleme bei der Äquivalenzprüfung von digitalen Schaltungen.

Es ist bekannt, dass dezimale Zahlen A und B auf verschiedene Art und Weise miteinander multipliziert werden können. So kann beispielsweise das Produkt $A \times B$ oder das Produkt $B \times A$ gebildet werden. Zudem kann bekannter Weise das Produkt dadurch gebildet werden, dass die einzelnen Ziffern der beiden dezimalen Zahlen miteinander multipliziert und anschließend die Summe der daraus resultierenden Teilprodukte gebildet wird. Die Reihenfolge, in welcher die Teilprodukte miteinander addiert werden, kann sich von Fall zu Fall unterscheiden, ohne dass selbstverständlich ein anderes Multiplikationsergebnis der Zahlen A und B erhalten wird. Abhängig davon, welcher Ansatz für die Multiplikation der Zahlen A und B gewählt wird, kann für die Implementierung der entsprechenden Multipliziererstruktur eine von verschiedenen möglichen Implementierungsalternativen oder Implementierungsvarianten zum Einsatz kommen, wobei all diese verschiedenen Implementierungsvarianten zwar dasselbe Multiplikationsergebnis liefern, jedoch hinsichtlich ihrer Struktur möglicherweise keine oder nur wenige interne Äquivalenzen aufweisen. Darüber hinaus können selbstverständlich auch unterschiedliche Architekturen für die Implementierung von Multipliziererstrukturen verwendet werden.

Erschwerend kommt hinzu, dass Multiplikationsfunktionen in digitalen Schaltungen in der Regel nicht isoliert auftreten, sondern in Umgebungslogik eingebettet sind. Dabei ist u.U.

5 sogar zu berücksichtigen, dass die Grenzen der Multiplikationsfunktionen - z.B. aufgrund von Schaltungsoptimierungen - nur noch unvollständig gegeben sind („Sea of Gates“) und damit unter formalen Gesichtspunkten die Multiplikationsfunktionen u.U. nicht mehr (explizit) vorhanden sind.

10

Bislang ist kein Verfahren bekannt, mit dem eine Erkennung von Multipliziererstrukturen innerhalb digitaler Schaltungen zuverlässig und schnell durchgeführt werden kann. Aufgrund der funktionalen Optimierungsmöglichkeiten moderner Syntheseverfahren beim Entwurf von digitalen Schaltungen scheiden

15

beispielsweise einfache „Pattern-Matching“-Ansätze, bei denen es einfach um den Vergleich der Schaltungsstruktur mit einer Referenzschaltungsstruktur geht, aus. Bzgl. der Verifikation von Multipliziererstrukturen sind verschiedene konkurrierende

20

Die einfachste Vorgehensweise, welche auch als generischer Ansatz bezeichnet werden kann, sieht vor, den in einer digitalen Schaltung enthaltenen Multipliziererstrukturen keinerlei Sonderbehandlung zukommen zu lassen, so dass vor der Verifikation der digitalen Schaltung in Form einer Äquivalenzprüfung keine explizite Erkennung der in der digitalen Schaltung enthaltenen Multipliziererstrukturen oder Multiplikationsfunktionen notwendig ist. Der mit dieser Vorgehensweise

25

30

verbundene Nachteil ist jedoch, dass bei der Äquivalenzprüfung häufig lange Laufzeiten auftreten und es ggf. sogar zum Scheitern der Verifikation kommen kann. Das Laufzeitverhalten der Äquivalenzprüfung hängt stark von der (zufälligen) Wahl der Implementierungsalternative für die einzelnen Multipli-

ziererstrukturen, welche der Äquivalenzprüfung zugrunde gelegt wird, ab.

5 Gemäß einem weiteren Ansatz für die Verifikation von Multipliziererstrukturen wird von dem Anwender vor Durchführung der Äquivalenzprüfung für jede einzelne Multipliziererstruktur oder Multiplikationsfunktion die konkret gewählte Implementierungsalternative festgelegt, d.h. spezifiziert. Das mit diesem Ansatz verbundene Problem ist jedoch, dass dieses Wissen zum Zeitpunkt der Verifikation häufig nicht (mehr) vorhanden ist. Werden von dem Anwender vor Durchführung der Äquivalenzprüfung falsche Angaben gemacht und demzufolge falsche Implementierungsalternativen der Äquivalenzprüfung zugrunde gelegt, besitzt dieser Ansatz dieselben Nachteile wie bei dem zuvor beschriebenen generischen Verifikationsverfahren.

Schließlich sind aus dem Stand der Technik auch verschiedene Verifikationsverfahren bekannt, welche auf einzelne, isoliert betrachtete Multiplikationsfunktionen oder Multipliziererstrukturen beschränkt sind, d.h. die zu verifizierende Implementierung der digitalen Schaltung sowie die damit zu vergleichende Referenzbeschreibung bestehen lediglich aus der Multiplikation selbst. So ist beispielsweise aus „Induction-based Gate-level Verification of Multipliers“, Y.T. Chang und K.-T. Cheng, International Conference on Computer-Aided Design (ICCAD), S. 190ff, 2001 bekannt, durch einen induktionsbasierten Ansatz die Verifikation von n-Bit-Multiplizieren in n Teiläquivalenzprüfungen zu zerlegen. In „Equivalence Checking of Integer Multipliers“, J.-C. Chen und Y.-A. Chen, Asian-Pacific Design Automation Conference (ASPDAC), 2001 wurde vorgeschlagen, beispielsweise nxn-Array-Multiplizierer oder nxn-Wallace-Baum-Multiplizierer über so genannte „Multiplicative Power Hybrid Decision Diagrams“ (*PHDD) in Form einer Darstellung auf Datenwort-Ebene darzustellen, um die

Äquivalenz von zwei ganzzahligen Multiplizierern zu überprüfen. Des Weiteren ist in dieser Druckschrift auch die Darstellung von ganzzahligen Multiplizierern auf Bitebene in Form von so genannten „Binary Decision Diagrams“ (BDD) oder auf Datenwort-Ebene in Form von so genannten „Multiplicative Binary Moment Diagrams“ (*BMD) bekannt. Schließlich wird in „Verification of Integer Multipliers on the Arithmetic Bitlevel“, D. Stoffel und W. Kunz, International Conference on Computer-Aided Design (ICCAD), S. 183-189, 2001 vorgeschlagen, zur Verifikation von ganzzahligen Multiplizierern einen Booleschen Mapping- oder Abbildungsalgorithmus anzuwenden, welcher aus einer Gatternetzliste einer Addiererschaltung ein Netz von Halbaddierern extrahiert, um anschließend mit Hilfe einfacher arithmetischer Operationen eine Äquivalenzprüfung bei bekannter arithmetischer Darstellung auf Bitebene der Addiererschaltung durchführen zu können. Der in dieser Druckschrift vorgeschlagene Ansatz beruht auf der bereits zuvor beschriebenen Erkenntnis, dass sich ganzzahlige Multiplikationen im Wesentlichen in zwei Abschnitte unterteilen lassen, nämlich einerseits die Bildung von Teilprodukten und andererseits die Addition der Teilprodukte zum schlussendlichen Multiplikationsergebnis.

Wie bereits erwähnt worden ist, sind die zuletzt beschriebenen Verifikationsverfahren jeweils auf einzelne, isolierte Multiplikationsfunktionen beschränkt. Diese Verifikationsverfahren scheiden in der Praxis jedoch zur Verifikation von digitalen Schaltungen, d.h. von Syntheseergebnissen, aus, da die Multiplikationsfunktionen meist nicht isoliert vorhanden sind.

Aus dem Stand der Technik sind somit keine praktikablen Verfahren zur Verifikation von in digitalen Schaltungen implementierten Multipliziererstrukturen oder Multiplikationsfunktionen bekannt. Die Leistungsfähigkeit der aus dem Stand der

Technik bekannten Verifikationsverfahren hängt in der Regel stark von der konkreten Implementierung der jeweiligen Multiplikationsfunktion ab. Nach dem Stand der Technik sind daher zusätzliche Informationen über Art und Aufbau der Multipliziererstrukturen in der zu verifizierenden digitalen Schaltung für eine effiziente Verifikation unabdingbar.

Der vorliegenden Erfindung liegt somit die Aufgabe zugrunde, ein effektives Verfahren zur Verifikation von digitalen Schaltungen sowie eine entsprechend ausgestaltete Vorrichtung bereitzustellen, womit die zuvor beschriebenen Probleme beseitigt werden können und insbesondere auch komplexe digitale Schaltungen mit Multipliziererstrukturen durch eine Äquivalenzprüfung verifiziert werden können, ohne dass explizit Informationen über die in der digitalen Schaltung realisierten Implementierungsalternativen der Multipliziererstrukturen bekannt sind oder die Verifikation auf lediglich eine konkrete Implementierungsalternative der Multipliziererstrukturen beschränkt ist.

Diese Aufgabe wird durch ein Verifikationsverfahren mit den Merkmalen des Anspruches 1 bzw. eine Verifikationsvorrichtung mit den Merkmalen des Anspruches 14 gelöst. Des Weiteren wird ein Computerprogramm-Produkt mit einem Programmcode zur Durchführung des erfindungsgemäßen Verifikationsverfahrens, wenn das Programm auf einem Computer- oder Rechnersystem abläuft, mit den Merkmalen des Anspruches 16 und ein digitales Speichermedium, z.B. eine Diskette oder CD-ROM, mit elektronisch auslesbaren Steuersignalen zur Durchführung des erfindungsgemäßen Verifikationsverfahren bei Zusammenwirken mit einem Rechnersystem nach Anspruch 17 bereitgestellt. Die Unteransprüche definieren jeweils bevorzugte und vorteilhafte Ausführungsformen der vorliegenden Erfindung.

Erfindungsgemäß wird vorgeschlagen, zur Verifikation einer digitalen Schaltung zunächst festzustellen bzw. zu entscheiden, welche von mehreren vordefinierten Implementierungsalternativen bestimmter Schaltungsstrukturen in der zu verifizierenden Implementierung der digitalen Schaltung verwendet werden. Hierzu können die verschiedenen vorgegebenen Implementierungsalternativen für die entsprechenden Schaltungsstrukturen innerhalb ihrer Einbettung in der Referenzbeschreibung der digitalen Schaltung, welche bei der Äquivalenzprüfung mit der Implementierung der digitalen Schaltung zu vergleichen ist, simuliert und mit einer Simulation der Implementierung der digitalen Schaltung verglichen werden. Die Simulation der verschiedenen Implementierungsalternativen kann dabei parallel erfolgen.

Für jede bestimmte Schaltungsstruktur der digitalen Schaltung wird auf diese Weise diejenige Implementierungsalternative bestimmt, deren Simulation den größten Grad an Übereinstimmung mit der Simulation der zu verifizierenden Implementierung der digitalen Schaltung aufweist.

Anschließend können in die auf diese Weise ermittelten Implementierungsalternativen dieser Schaltungsstrukturen in die entsprechende Referenzbeschreibung als Ersatz für die darin enthaltene Beschreibung dieser Schaltungsstrukturen eingesetzt werden, um mit der auf diese Art und Weise geänderten Referenzbeschreibung die eigentliche Äquivalenzprüfung durchzuführen, d.h. es wird dann die geänderte Referenzbeschreibung mit der zu verifizierenden Implementierung der digitalen Schaltung verglichen. Die in die Referenzbeschreibung eingesetzten Implementierungsalternativen für die bestimmten Schaltungsstrukturen können abschließend mit einem speziellen Verfahren separat verifiziert werden.

Erfindungsgemäß wird somit vorgeschlagen, bei der Äquivalenzprüfung bzw. beim Äquivalenzvergleich einer Referenzschaltung, welche kritische Teilstrukturen enthält, mit einer Implementierung der Schaltung zunächst festzustellen bzw. zu

5 entscheiden, welche der bekannten Implementierungsalternativen der kritischen Teilstrukturen in der zu verifizierenden Implementierung der digitalen Schaltung verwendet werden bzw. welche der bekannten Implementierungsalternativen der verwendeten Implementierung strukturell am ähnlichsten ist. Strukturelle Ähnlichkeit ist definitionsgemäß gegeben, wenn eine

10 Implementierungsalternative - nachdem sie in den Kontext der Referenzbeschreibung eingesetzt wurde - viele interne Berechnungspunkte besitzt, zu denen identische interne Berechnungspunkte in der zu verifizierenden Implementierung existieren.

15 Dabei wird der Grad der strukturellen Ähnlichkeit der Implementierungsalternativen mit der tatsächlich verwendeten Implementierung durch ein simulationsbasiertes Verfahren ermittelt, dessen Komplexität nur linear von der Größe der digitalen Schaltung abhängt. Dies kann dadurch geschehen, dass für

20 eine feste Anzahl zufällig erzeugter Eingangsbelegungen der digitalen Schaltung die Werte an allen internen Berechnungspunkten der digitalen Schaltung berechnet werden („Random Pattern“-Simulation), was sowohl für alle bekannten Implementierungsalternativen von kritischen Teilstrukturen im Kontext

25 der Referenzbeschreibung als auch für die gesamte Implementierung der digitalen Schaltung geschieht.

Anstelle einer Feststellung der absoluten Übereinstimmung von internen Berechnungspunkten der Implementierungsalternativen

30 der kritischen Teilstrukturen mit internen Berechnungspunkten der zu verifizierenden Implementierung der digitalen Schaltung wird vorteilhafterweise lediglich die Übereinstimmung der Berechnungspunkte auf allen zufällig erzeugten Eingangsbelegungen gemessen. Dieses statistische Verfahren reicht

35 aus, um zu jeder kritischen Teilstruktur die zur Implementie-

rung strukturell ähnlichste Implementierungsalternative zu ermitteln.

Generell sind Teilstrukturen einer Referenzschaltung kritisch, wenn es mehrere mögliche funktional gleiche, aber strukturell stark unterschiedliche Implementierungsalternativen für diese Teilstrukturen gibt. Multipliziererstrukturen sind ein häufig auftretendes Beispiel solcher kritischer Teilstrukturen. Für die Anwendbarkeit des zuvor beschriebenen Verfahrens müssen somit lediglich die möglichen Implementierungsalternativen der kritischen Teilstrukturen bekannt sein, während jedoch nicht bekannt sein muss, welche Implementierungsalternative in der zu verifizierenden Implementierung der digitalen Schaltung tatsächlich verwendet wurde.

Um effizient, d.h. mit einem lediglich linear von der Größe der digitalen Schaltung abhängigen Aufwand, ermitteln zu können, welche internen Berechnungspunkte der Implementierungsalternativen auf allen simulierten Mustern mit internen Berechnungspunkten der zu verifizierenden Implementierung übereinstimmen, kann ein Verfahren der Äquivalenzklassenverfeinerung eingesetzt werden. Dabei werden jeweils alle internen Berechnungspunkte, deren Nichtübereinstimmung noch nicht nachgewiesen wurde, zu einer Äquivalenzklasse zusammengefasst. Nach der Simulation einer zufällig erzeugten Eingangsbelegung der digitalen Schaltung wird jede Äquivalenzklasse in Teilklassen aufgesplittet, deren Elemente auf der simulierten Eingangsbelegung übereinstimmen. Interne Beobachtungspunkte, die nach einer festen Anzahl von Simulationsschritten noch in der gleichen Äquivalenzklasse liegen, werden als gleich gewertet.

Bei den bestimmten Schaltungsstrukturen oder kritischen Teilstrukturen, für welche auf zuvor beschriebener Art und Weise diejenigen Implementierungsalternativen bestimmt werden, de-

ren Simulation den größten Übereinstimmungsgrad mit der Simulation der digitalen Schaltung aufweisen, kann es sich insbesondere um Multiplikationsfunktionen oder Multipliziererstrukturen handeln, welche - wie zuvor beschrieben worden ist - mit herkömmlichen Verfahren nicht oder nur unzureichend verifiziert werden können. Selbstverständlich ist die vorliegende Erfindung jedoch nicht auf die Verifikation bzw. Erkennung von Multipliziererstrukturen in digitalen Schaltungen beschränkt, sondern kann im Prinzip für alle Arten von Schaltungsstrukturen angewendet werden, für welche verschiedene vorgegebene Implementierungsalternativen in Frage kommen.

Mit der zuvor beschriebenen Verbindung ist eine Vielzahl von Vorteilen verbunden. Die Erkennung von Multipliziererstrukturen kann ausschließlich durch Beobachtung der Referenzbeschreibung und der in ihr eingebetteten Implementierungen der Multipliziererstrukturen erfolgen. Implementierungsgrenzen sowie Lage der Multipliziererstrukturen in der synthetisierten digitalen Schaltung, welche verifiziert werden soll, müssen nicht bekannt sein. Insbesondere müssen derartige Implementierungsgrenzen in der synthetisierten digitalen Schaltung auch nicht explizit existieren, d.h. diese Grenzen dürfen beispielsweise durch Syntheseoptimierungen mit anderen Schaltungsteilen „verwoben“ sein. Gemäß einer bevorzugten Ausführungsform der vorliegenden Erfindung ist eine gleichzeitige Erkennung aller in der synthetisierten digitalen Schaltung enthaltenen Multipliziererstrukturen bzw. Multiplikationsfunktionen möglich. Die Erfindung lässt sich mit einem niedrigen Aufwand realisieren und liefert zur Erkennung der in der digitalen Schaltung verwendeten Implementierungsalternativen für die Multipliziererstrukturen eine hohe Erkennungsrate und eine hohe Erkennungssicherheit. Die für eine Realisierung des erfindungsgemäßen Verfahrens benötigte Laufzeit hängt nur linear von der Größe der zu verifizierenden digitalen Schaltung ab. Wie bereits erwähnt worden ist, kann das

erfindungsgemäße Verfahren grundsätzlich auch auf die Erkennung von anderen Schaltungsfunktionen, welche von Multiplikationsfunktionen abweichen, übertragen werden.

5 Die mit Hilfe der vorliegenden Erfindung gewonnene Information über die in der zu verifizierenden digitalen Schaltung verwendeten Implementierungsvarianten von Multipliziererstrukturen oder anderen bestimmten Schaltungsstrukturen, für welche eine Vielzahl von unterschiedlichen bzw. vordefinierten Implementierungsvarianten in Frage kommen, führt zu
10 einer erheblichen Beschleunigung bei der Äquivalenzprüfung von digitalen Schaltungen, wobei lediglich ein sehr geringer zusätzlicher Rechenaufwand bei der computer- bzw. rechnergestützten Durchführung der Äquivalenzprüfung erforderlich ist.
15 Durch Feststellen der in der digitalen Schaltung verwendeten Implementierungsvarianten und anschließendes Einfügen der erkannten Implementierungsvarianten in die mit der digitalen Schaltung zu vergleichende Referenzbeschreibung kann eine deutlich erhöhte strukturelle Ähnlichkeit zwischen der Referenzbeschreibung und der digitalen Schaltung erzielt werden,
20 wodurch die Laufzeit für das Verifikationsverfahren und der dafür benötigte Speicherbedarf drastisch reduziert werden können. Die Verifikation der Implementierung der Verifikationsfunktionen selbst wird deutlich besser durchführbar, da
25 einerseits die Implementierung der Multiplikationsfunktionen isoliert betrachtet werden kann und andererseits Hinweise über Art und Aufbau dieser Implementierungen bekannt sind. Das erfindungsgemäße Verfahren arbeitet in der Praxis selbst dann noch robust und genau, wenn durch Syntheseoptimierungen Teile
30 der Schaltung (insbesondere auch Ein-/Ausgänge von Multipliziererstrukturen) nicht mehr auffindbar sind.

Die vorliegende Erfindung wird nachfolgend näher unter Bezugnahme auf die beigefügte Zeichnung anhand eines bevorzugten
35 Ausführungsbeispiels betreffend die computergestützte Verifi-

kation einer digitalen Schaltung mit Multipliziererstrukturen bzw. Multiplikationsfunktionen beschrieben, wobei die nachfolgend erläuterten Schritte zur Erkennung der für diese Multipliziererstrukturen verwendeten Implementierungsalternativen in der digitalen Schaltung und zur Durchführung einer Äquivalenzprüfung mit einer entsprechend geänderten Referenzbeschreibung wie beschrieben grundsätzlich auch auf andere Schaltungsstrukturen, für welche mehrere unterschiedliche vordefinierte oder vorgegebene Implementierungsvarianten möglich sind, anwendbar sind.

In der einzigen Figur ist eine erfindungsgemäße Vorrichtung 1 zur computergestützten Verifikation von digitalen Schaltungen dargestellt. Die Vorrichtung 1 umfasst als zentralen Bestandteil eine programmgesteuerte Steuereinrichtung 2, welche durch ein in einem Programmspeicher 3 gespeichertes Computerprogramm, das beispielsweise über einen austauschbaren Datenträger kommen wie z.B. Diskette oder CD-ROM, geladen worden ist, zur Durchführung eines automatisierten Verifikationsverfahrens gesteuert wird. Die Steuereinrichtung 2 greift darüber hinaus auf einen Speicher 5 zu, in dem eine Referenzbeschreibung einer digitalen Schaltung, beispielsweise eine RTL-, VHDL- oder Verilog-Beschreibung, gespeichert ist. Diese Referenzbeschreibung dient zur Entwicklung einer entsprechenden digitalen Schaltung, deren realisierte Implementierung z.B. in Form einer VHDL-, Verilog- oder Gatternetzliste-Beschreibung etc. in einem weiteren Speicher 6 gespeichert ist, auf den die Steuereinrichtung 2 zugreifen kann. Des Weiteren ist ein Speicher 7 vorgesehen, in dem in Abhängigkeit von dem für die Entwicklung der digitalen Schaltung zur Verfügung stehenden Synthesetool die von diesem Synthesetool zur Verfügung gestellten Implementierungsalternativen für (ganzzahlige) Multiplikationsfunktionen der digitalen Schaltung gespeichert sind. Wie bereits zuvor erläutert worden ist, lässt sich grundsätzlich jede Multiplikationsfunktion oder

Multipliziererstruktur auf unterschiedlichste Art und Weise und insbesondere auch in unterschiedlichen Architekturen implementieren.

5 Durch Zugriff auf die in den Speichern 5-7 gespeicherten Informationen sind somit der Steuereinrichtung 2 die zu verifizierende Implementierung der digitalen Schaltung (z.B. in Form einer Gatternetzliste), die damit mittels einer Äquivalenzprüfung zu vergleichende Referenzbeschreibung der digitalen
10 Schaltung (z.B. in Form einer RTL-Beschreibung), die verschiedenen vordefinierten und zur Verfügung stehenden Implementierungsalternativen für Multiplikationsfunktionen oder Multipliziererstrukturen (z.B. abhängig von den von den jeweiligen Synthesetool zur Verfügung gestellten Architekturen)
15 und die Lage/Einbettung der Multipliziererstrukturen in der Referenzbeschreibung bekannt. Mit Hilfe dieser Informationen kann die Steuereinrichtung 2 die nachfolgend näher beschriebene Äquivalenzprüfung der Implementierung der digitalen Schaltung durchführen. Die zuvor beschriebenen und in den
20 Speichereinrichtungen 5-7 gespeicherten Informationen sind beispielsweise in einem Standard-Syntheseflow ohnehin verfügbar. Der Steuereinrichtung 2 müssen jedoch beispielsweise nicht die Lage/ Einbettung sowie die Art der Multipliziererstrukturen in der zu verifizierenden Implementierung der
25 digitalen Schaltung bekannt sein.

Die Steuereinrichtung 2 entscheidet mit Hilfe dieser gegebenen Informationen, welche der vordefinierten Implementierungsalternativen für die einzelnen Multiplikationsfunktionen
30 der Referenzbeschreibung in der Implementierung der digitalen Schaltung verwendet werden. Hierzu simuliert die Steuereinrichtung 2 die verschiedenen Implementierungsalternativen aller Multiplikationsfunktionen parallel innerhalb ihrer Einbettung in der Referenzbeschreibung und vergleicht das Simulationsergebnis jeweils mit der entsprechenden Simulation der
35

zu verifizierenden Implementierung der digitalen Schaltung. Dabei wird für jede Implementierungsalternative jeder Multiplikationsfunktion der Referenzbeschreibung der Übereinstimmungsgrad mit der Implementierung der digitalen Schaltung ermittelt. Dieser Übereinstimmungsgrad wird definiert als die Anzahl aller Übereinstimmungspunkte der jeweiligen Implementierungsalternative, wobei ein Übereinstimmungspunkt wiederum ein (interner) Berechnungspunkt der jeweiligen Implementierungsalternative ist, der für alle durchgeführten Simulationsmuster die gleichen Werte berechnet wie ein (beliebiger, aber fester) Berechnungspunkt der Implementierung der digitalen Schaltung. Die Steuereinrichtung 2 ermittelt auf diese Art und Weise für jede Multiplikationsfunktion der Referenzbeschreibung diejenige Implementierungsalternative, welche den größten Übereinstimmungsgrad mit der Simulation der implementierten digitalen Schaltung besitzt. Die Berechnung des Übereinstimmungsgrads kann abhängig von der Größe der zu vergleichenden Schaltungen mittels Äquivalenz-Klassenverfeinerung in linearer Zeit durchgeführt werden.

Mit diesem Wissen lässt sich die Verifikationsaufgabe erheblich vereinfachen. Dazu werden von der Steuereinrichtung 2 in der Referenzbeschreibung der digitalen Schaltung die für jede Multiplikationsfunktion bzw. Multipliziererstruktur ermittelte Implementierungsalternative an die Stelle dieser Multiplikationsfunktion (z.B. RTL-Multiplikationsfunktion) eingesetzt und anschließend mit der auf dieser Art und Weise modifizierten Referenzbeschreibung der Äquivalenzvergleich mit der zu verifizierenden Implementierung der digitalen Schaltung durchgeführt. Aufgrund der dadurch erzielten hohen strukturellen Übereinstimmung zwischen der modifizierten Referenzbeschreibung einerseits und der Implementierung der digitalen Schaltung andererseits kann die nachfolgende Äquivalenzprüfung erheblich beschleunigt werden. Im Idealfall besteht bzgl. der Multiplikationen sogar eine vollständige Überein-

stimmung zwischen den beiden Schaltungsbeschreibungen, was die Äquivalenzprüfung erheblich vereinfacht. In der Praxis kann zumindest ein sehr hohes Maß an struktureller Übereinstimmung erzielt werden.

5

Abschließend können die in der Referenzbeschreibung für die Multiplikationsfunktionen bzw. Multipliziererstrukturen eingesetzten Implementierungsalternativen auch mit spezialisierten Verfahren separat, d.h. isoliert, verifiziert werden.

10

Die Ergebnisse der Äquivalenzprüfung werden über eine Ausgabeeinheit 4 ausgegeben und somit z.B. auf einem Bildschirm visualisiert.

15

Die zuvor beschriebene parallele Simulation aller Implementierungsalternativen der Multiplikationsfunktionen/Multipliziererfunktionen kann technisch sehr einfach realisiert werden. So ist es beispielsweise möglich, korrespondierende primäre Eingänge der Multipliziererstrukturen miteinander zu verbinden und die korrespondierenden primären Ausgänge funktionserhaltend, d.h. ohne Verfälschung des Multiplikationsergebnisses jeder einzelnen Multipliziererstruktur, auf einen gemeinsamen Ausgang zu führen, was beispielsweise mit Hilfe einer logischen ODER-Verknüpfung geschehen

20

kann. Des Weiteren kann für die Simulation der Implementierungsalternativen sowie der digitalen Schaltungsbeschreibung eine herkömmliche Random-Pattern-Simulation verwendet werden.

25

30

Dem oben beschriebenen Verfahren zur Erkennung der verschiedenen Implementierungsalternativen von Multipliziererstrukturen in der digitalen Schaltungsbeschreibung kommt eine wichtige Bedeutung bei der Beschleunigung der Syntheseverifikation, d.h. bei einem Vergleich einer RTL-Beschreibung mit der daraus synthetisierten Gatternetzliste, zu. Die Laufzeit als

35

auch der Speicherbedarf von Werkzeugen (Tools) zum formalen

Schaltungsvergleich hängen erheblich davon ab, wie hoch das Maß der Übereinstimmungen zwischen den zu vergleichenden Schaltungen bzw. den entsprechenden Schaltungsbeschreibungen ist. Dieses Übereinstimmungsmaß lässt sich ausdrücken als die

5 Anzahl der Paare interner Berechnungspunkte aus den beiden Schaltungen, die übereinstimmende Funktionen berechnen. Mit den oben beschriebenen Verfahren lässt sich eine sehr gute Erkennungsrate für die realisierten Implementierungsalternativen von Multiplizierstrukturen erzielen. Zugleich zeichnet

10 sich dieses Verfahren dadurch aus, dass zur Unterscheidung unterschiedlicher Implementierungsalternativen nur wenige Simulationen benötigt werden und dadurch auch der zusätzliche Laufzeitbedarf des Verfahrens äußerst niedrig ist.

15 Experimentelle Ergebnisse des erfindungsgemäßen Verfahrens sind durchweg äußerst positiv verlaufen. So wurde für eine Erkennung von 21 unterschiedlichen Multipliziererimplementierungen (mit einer unterschiedlichen Bitbreite und auch mit unterschiedlichen Architekturen) lediglich eine Laufzeit von

20 ca. zwei Minuten benötigt. Für jede Multipliziererstruktur standen vier Implementierungsalternativen zur Auswahl. In allen Fällen wurde die korrekte Implementierungsalternative erkannt. Bei den korrekten Implementierungsalternativen wurde eine Übereinstimmung der internen Berechnungspunkte von

25 50-60 % ermittelt, während die falschen Implementierungsalternativen durch das Verfahren lediglich mit einer Übereinstimmung von 10-20 % bewertet wurden. Dabei wurden lediglich 1024 Simulationen (Simulations-Stimuli) berechnet. Der sich anschließende Verifikationsschritt (Äquivalenzprüfung) konnte

30 mit Hilfe dieser Informationen erheblich beschleunigt und nach ca. 45 Minuten abgeschlossen werden. Bei konventioneller Vorgehensweise, d.h. ohne Erkennung der Implementierungsalternativen für die Multiplizierstrukturen mit anschließender separater Verifikation, wurde eine Laufzeit von über 24

35 Stunden benötigt.

Zusammenfassend lässt sich somit festhalten, dass eine Erkennung der verwendeten Implementierungsalternativen der Multipliziererstrukturen mit sehr hoher Sicherheit bei nahezu vernachlässigbarem Zusatzaufwand möglich ist und zu einer
5 deutlichen Beschleunigung der formalen Verifikation von digitalen Schaltungen führt.

Patentansprüche

1. Verfahren zur Verifikation von digitalen Schaltungen,
5 wobei eine zu verifizierende digitale Schaltung (6) mit einer Referenzbeschreibung (5) der digitalen Schaltung verglichen wird, um durch eine Äquivalenzprüfung Fehler in der digitalen Schaltung zu erkennen,
d a d u r c h g e k e n n z e i c h n e t ,
10 (a) dass für bestimmte durch die Referenzbeschreibung (5) der digitalen Schaltung beschriebene Schaltungsstrukturen, für welche verschiedene Implementierungsalternativen (7) bekannt sind, jeweils diejenige Implementierungsalternative (7) bestimmt wird, welche den größten strukturellen Übereinstim-
15 mungsgrad mit der zu verifizierenden digitalen Schaltung (6) aufweist,
(b) dass in der Referenzbeschreibung (5) der digitalen Schaltung die Beschreibung der einzelnen Schaltungsstrukturen durch die für die jeweilige Schaltungsstruktur im Schritt (a) ermittelte Implementierungsalternative (7) mit dem jeweils
20 größten strukturellen Übereinstimmungsgrad ersetzt wird, und
(c) dass die Äquivalenzprüfung durch Vergleich der digitalen Schaltung (6) mit der gemäß Schritt (b) geänderten Referenzbeschreibung (5) durchgeführt wird.
25
2. Verfahren nach Anspruch 1,
d a d u r c h g e k e n n z e i c h n e t ,
dass die bestimmten Schaltungsstrukturen, für welche im Schritt (a) jeweils die Implementierungsalternative mit dem
30 größten Übereinstimmungsgrad ermittelt wird, Multipliziererstrukturen sind.
3. Verfahren nach Anspruch 2,
d a d u r c h g e k e n n z e i c h n e t ,

dass die bestimmten Schaltungsstrukturen, für die im Schritt
(a) jeweils die Implementierungsalternative (7) mit dem größten
Übereinstimmungsgrad ermittelt wird, Multipliziererstruk-
turen zur Realisierung ganzzahliger Multiplikationsfunktionen
5 sind.

4. Verfahren nach einem der vorhergehenden Ansprüche,
d a d u r c h g e k e n n z e i c h n e t,
dass das Verfahren computergestützt durchgeführt wird.

5. Verfahren nach einem der vorhergehenden Ansprüche,
d a d u r c h g e k e n n z e i c h n e t,
dass die Referenzbeschreibung (5) ausgewählt ist aus einer
RTL-, VHDL- und Verilog-Schaltungsbeschreibungen umfassenden
15 Gruppe.

6. Verfahren nach einem der vorhergehenden Ansprüche,
d a d u r c h g e k e n n z e i c h n e t,
dass im Schritt (c) die Äquivalenzprüfung durch einen Ver-
gleich einer vorliegenden Implementierung der digitalen
20 Schaltung (6) mit der im Schritt (b) geänderten Referenzbe-
schreibung (5) durchgeführt wird.

7. Verfahren nach einem der vorhergehenden Ansprüche,
d a d u r c h g e k e n n z e i c h n e t,
dass die vorgegebenen Implementierungsalternativen (7) für
die bestimmten Schaltungsstrukturen verschiedene von einer
für den Entwurf der digitalen Schaltung vorhandenen Synthese-
einrichtung unterstützte Architekturen dieser bestimmten
30 Schaltungsstrukturen umfassen.

8. Verfahren nach einem der vorhergehenden Ansprüche,
d a d u r c h g e k e n n z e i c h n e t,
dass im Schritt (a) für jede bestimmte Schaltungsstruktur je-
35 weils die Implementierungsalternative (7) mit dem größten

strukturellen Übereinstimmungsgrad dadurch bestimmt wird, dass die verschiedenen Implementierungsalternativen (7) jeweils in Kombination mit der Referenzbeschreibung (5) simuliert und mit einer entsprechenden Simulation der digitalen Schaltung (6) verglichen werden, wobei für jede dieser bestimmten Schaltungsstrukturen als die Implementierungsalternative (7) mit dem größten strukturellen Übereinstimmungsgrad diejenige Implementierungsalternative bestimmt wird, deren Simulation den größten Übereinstimmungsgrad mit der Simulation der digitalen Schaltung (6) aufweist.

9. Verfahren nach Anspruch 8, dadurch gekennzeichnet, dass im Schritt (a) für jede Schaltungsstruktur die verschiedenen Implementierungsalternativen (7) gleichzeitig simuliert und mit der Simulation der digitalen Schaltung (6) verglichen werden.

10. Verfahren nach Anspruch 9, dadurch gekennzeichnet, dass die verschiedenen Implementierungsalternativen (7) für jede Schaltungsstruktur dadurch gleichzeitig simuliert werden, dass Eingänge der Implementierungsalternativen (7) miteinander verbunden und korrespondierende Ausgänge der Implementierungsalternativen (7) unter Beibehaltung der Schaltungsfunktion der einzelnen Implementierungsalternativen auf einen gemeinsamen Ausgang geführt werden.

11. Verfahren nach Anspruch 10, dadurch gekennzeichnet, dass die Ausgänge der verschiedenen Implementierungsalternativen (7) über eine logische ODER-Schaltungseinrichtung mit dem gemeinsamen Ausgang verbunden werden.

12. Verfahren nach einem der Ansprüche 8-11,

d a d u r c h g e k e n n z e i c h n e t,
dass im Schritt (a) für jede Implementierungsalternative (7)
der Übereinstimmungsgrad mit der Simulation der digitalen
Schaltung (6) dadurch ermittelt wird, dass für mehrere Simu-
5 lationsmuster für jede Implementierungsalternative (7) die
Anzahl der für die einzelnen Simulationsmuster von der Referenz-
beschreibung (5) mit der jeweiligen Implementierungsalternative
ausgegebenen Werte, die identisch zu den von der
digitalen Schaltung (6) für die entsprechenden Simulations-
10 muster ausgegebenen Werte sind, ermittelt und als Übereinstimmungsgrad für die entsprechende Implementierungsalternative (7) verwendet wird.

13. Verfahren nach einem der vorhergehenden Ansprüche,
15 d a d u r c h g e k e n n z e i c h n e t,
dass bei der im Schritt (a) durchgeführten Bestimmung der
Implementierungsalternativen (7) mit dem größten strukturellen
Übereinstimmungsgrad ein Verfahren einer Äquivalenzklassenverfeinerung angewendet wird.

20

14. Vorrichtung zur Verifikation von digitalen Schaltungen,
mit ersten Speichermitteln (6) zum Speichern einer Beschreibung
einer zu verifizierenden digitalen Schaltung,
mit zweiten Speichermitteln (5) zum Speichern einer Referenz-
25 beschreibung der digitalen Schaltung, und
mit Verifikationsmitteln (2), welche derart eingerichtet
sind, dass sie die Beschreibung der zu verifizierenden digitalen
Schaltung (6) mit der Referenzbeschreibung (5) vergleichen,
um durch eine Äquivalenzprüfung Fehler in der digitalen
30 Schaltung zu erkennen,

d a d u r c h g e k e n n z e i c h n e t,
dass dritte Speichermittel (7) zum Speichern verschiedener
vorgegebener Implementierungsalternativen für bestimmte
Schaltungsstrukturen der digitalen Schaltung vorgesehen sind,

- dass die Verifikationsmittel (2) derart eingerichtet sind,
dass sie für die bestimmten Schaltungsstrukturen jeweils die-
jenige Implementierungsalternative bestimmen, welche den
größten strukturellen Übereinstimmungsgrad mit der zu verifi-
5 zierenden digitalen Schaltung aufweist, und
dass die Verifikationsmittel (2) derart eingerichtet sind,
dass sie in der Referenzbeschreibung der digitalen Schaltung
für die einzelnen bestimmten Schaltungsstrukturen jeweils die
zuvor ermittelte Implementierungsalternative mit dem größten
10 strukturellen Übereinstimmungsgrad einsetzen und die zu veri-
fizierende Beschreibung der digitalen Schaltung mit der somit
geänderten Referenzbeschreibung zur Durchführung der Äquiva-
lenzprüfung vergleichen.
- 15 15. Vorrichtung nach Anspruch 14,
d a d u r c h g e k e n n z e i c h n e t, .
dass die Vorrichtung zur Durchführung des Verfahren nach ei-
nem der Ansprüche 1-13 eingerichtet ist.
- 20 16. Computerprogramm-Produkt mit einem auf einem Datenträger
(3) gespeicherten Programmcode zur Durchführung des Verfah-
rens nach einem der Ansprüche 1-13, wenn der Programmcode in
einem Rechnersystem (1) abläuft.
- 25 17. Digitales Speichermedium (3) mit elektronisch auslesba-
ren Steuersignalen, die so mit einem Rechnersystem zusammen-
wirken können, dass das Verfahren nach einem der Ansprüche 1-
13 ausgeführt wird.

1/1

